

RADIO FREQUENCY IDENTIFICATION AND IC CARD

Patent number: JP2001250097
Publication date: 2001-09-14
Inventor: OKAWA TAKEHIRO; YUYAMA MIKI; YOSHIKI HIROSHI;
 ONISHI TADASHI; WATANABE KAZUKI
Applicant: HITACHI LTD
Classification:
 - international: B42D15/10; G06F1/24; G06K19/07; H02J17/00; H04B7/00;
 H04Q5/22; B42D15/10; G06F1/24; G06K19/07; H02J17/00;
 H04B7/00; H04Q5/00; (IPC1-7): G06K19/07; B42D15/10;
 G06F1/24
 - european:
Application number: JP20000067141 20000307
Priority number(s): JP20000067141 20000307

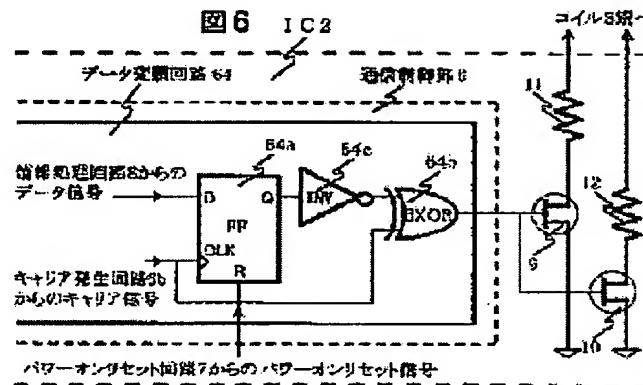
Also published as:

US6972662 (B)

[Report a data error](#)

Abstract of JP2001250097

PROBLEM TO BE SOLVED: To widen the operable voltage range of a radio frequency identification(RFID) and to make RFID general and inexpensive without the necessity of IC internal circuit design change caused by an external factor. **SOLUTION:** The RFID uses an IC in a circuit configuration, in which the IC impedance state is turned into a low impedance state as a communication means when a communication control circuit inside the IC is in a reset state.



Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2001-250097

(P 2 0 0 1 - 2 5 0 0 9 7 A)

(43)公開日 平成13年9月14日(2001.9.14)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
G06K 19/07		B42D 15/10	521 2C005
B42D 15/10	521	G06K 19/00	N 5B035
G06F 1/24		G06F 1/00	350 Z 5B054
		G06K 19/00	H

審査請求 未請求 請求項の数10 O L (全12頁)

(21)出願番号 特願2000-67141(P 2000-67141)

(22)出願日 平成12年3月7日(2000.3.7)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 大川 武宏

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 湯山 幹

東京都中野区東中野三丁目14番20号 国際

電気株式会社内

(74)代理人 100075096

弁理士 作田 康夫

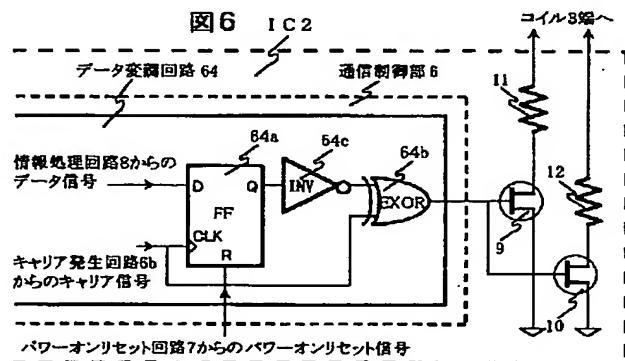
最終頁に続く

(54)【発明の名称】RFID (RADIO FREQUENCY IDENTIFICATION) およびICカード

(57)【要約】

【課題】RFIDにおいて、動作可能電圧範囲を広げるとともに、外部要因によるIC内部回路設計変更の必要のない汎用性のある安価なものとすることにある。

【解決手段】IC内の通信制御回路がリセット状態の時には通信手段としての該ICインピーダンス状態が低インピーダンス状態となる回路構成とされたICを使用する。



【特許請求の範囲】

【請求項 1】半導体回路装置を駆動するための電力を受けるとともに信号の送受信を行うためのアンテナと、前記アンテナに誘起された交流波を整流した電圧値が所定値以上であることを検出したとき、前記半導体回路装置のリセット状態を解除する第 1 の手段とを有し、前記リセット状態が解除されているときには前記半導体回路装置の自己インピーダンスの高低を制御することにより前記半導体回路装置内で生成される信号に基づいて前記アンテナから外部へ情報を送出することが可能であり、かつ、前記リセット状態のときには前記自己インピーダンスを低い状態に維持するように構成されたことを特徴とするRFID。

【請求項 2】前記リセット解除電圧は、前記RFIDの一部である I C のロジック動作保証最低電圧とほぼ同じに設定されていることを特徴とする請求項1記載のRFID。

【請求項 3】前記リセット解除電圧が、前記リセット解除後の前記 I C としてロジック動作開始後のリセット電圧と同値であることを特徴とする請求項2記載のRFID。

【請求項 4】アンテナと、前記アンテナで誘起された交流波を整流した直流電圧がしきい値以上であるとき半導体装置のリセット状態を解除する第 1 の手段とを有し、前記リセット状態が解除されているときには前記半導体装置の自己インピーダンスの高低を制御することにより前記回路装置内で生成される信号に基づいて前記アンテナから外部へ信号を送出することが可能であり、かつ、前記直流電圧がしきい値に満たないときには前記半導体装置をリセット状態とすると構成され、前記リセット状態のときには前記自己インピーダンスを低い状態とすることを特徴とするRFID。

【請求項 5】記憶手段、論理処理を行う手段およびパワーオンリセット手段とを有する集積回路素子と、外部から前記記憶手段および論理処理を行う手段に対して電力および信号を供給するためのアンテナとを有し、前記パワーオンリセット手段に印加される電圧がしきい値未満であるときには前記集積回路素子の自己インピーダンスを低い状態に維持するように構成されていることを特徴とするRFID。

【請求項 6】通信手段、ロジック回路およびパワーオンリセット手段とを有する集積回路素子と、外部から前記記憶手段およびロジック回路に対して電力および信号を供給するためのアンテナとを有し、前記パワーオンリセット手段に印加される電圧がしきい値を下回るときには前記集積回路素子の自己インピーダンスを低い状態に維持するように構成され、かつ、前記リセット状態が解除されているときには前記集積回路素子の自己インピーダンスの高低を制御することにより前記集積回路素子内で生成される信号に基づいて前記アンテナから外部へ信号を送出するように構成されているこ

とを特徴とするRFID。

【請求項 7】記憶手段、論理処理を行う手段およびパワーオンリセット手段とを有する集積回路素子とを有し、前記パワーオンリセット手段に印加される電圧がしきい値未満であるときには前記集積回路素子の自己インピーダンスを低い状態に維持するように構成されていることを特徴とするRFID。

【請求項 8】通信手段、ロジック回路およびパワーオンリセット手段とを有する集積回路素子とを有し、

10 前記パワーオンリセット手段に印加される電圧がしきい値を下回るときには前記集積回路素子の自己インピーダンスを低い状態に維持するように構成され、かつ、前記リセット状態が解除されているときには前記集積回路素子の自己インピーダンスの高低を制御することにより前記集積回路素子内で生成される信号に基づいて外部へ信号を送出するように構成されていることを特徴とするRFID。

【請求項 9】通信手段、ロジック回路およびパワーオンリセット手段とを有する集積回路素子と、外部から前記記憶手段およびロジック回路に対して電力および信号を供給するためのアンテナとを有し、

20 前記パワーオンリセット手段に印加される電圧がしきい値を下回るときには前記集積回路素子の自己インピーダンスを低い状態に維持するように構成され、かつ、前記リセット状態が解除されているときにはアンテナコイルの一端に接続された負荷抵抗の他端をスイッチ素子を介して接地電位に接続する動作と前記スイッチ素子を介して前記接地電位から解放する動作を繰り返すことにより前記集積回路素子内で生成される信号に基づいて前記アンテナから外部へ信号を送出するように構成されていることを特徴とするRFID。

【請求項 10】通信手段、ロジック回路およびパワーオンリセット手段とを有する集積回路素子と、外部から前記記憶手段およびロジック回路に対して電力および信号を供給するためのアンテナとを有し、

30 前記パワーオンリセット手段に印加される電圧がしきい値を下回るときにはアンテナコイルの一端に接続された負荷抵抗の他端をスイッチ素子を介して接地電位に接続するように構成されていることを特徴とするRFID。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はICカードおよびRFID (RADIO FREQUENCY IDENTIFICATION)に関し、特に非接触で外部機器から電力供給および情報を受け、該外部機器へ情報を送出する非接触 I C カードなどのRFIDおよび搭載される I C に関する。

【0002】なお、RFIDは例えば、タグとして用いられる。ICカードはRFIDの一種である。

【0003】

【従来の技術】非接触で外部機器から電力供給を受け、

該外部機器と信号を授受する非接触ICカードなどのRFIDに実装されるICの内部回路への電源として、従来は、アンテナコイルで受信した交流を整流、平滑した後、シリーズレギュレータを介して供給していた。しかし近年は動作電圧マージンを広げるため、電圧ロスが宿命であるシリーズレギュレータを使用せず、整流平滑後にICとしての耐電圧保護のためのリセット回路を設置したのみで電源を供給する方法もとられるようになつた。

【0004】動作電圧マージンを最大限確保するためのパワーオンリセット回路としては、ICの内部回路の動的負荷変動への対策としてロジック動作保証最低電圧に設定される定常時のリセット電圧と、ロジック動作保証最低電圧に動的負荷変動による電圧降下分を保障する電圧を加算したパワーオンリセット解除電圧との二段構成の、いわゆるヒステリシスを持った回路が一般に使用されている。例えば、特開平10-207580号公報参照。

【0005】また、シリーズレギュレータ使用の非接触ICカードにおいてのICカード内CPU動作時の電圧降下分を保障するものとして、パワーオン時のリセット解除前はCPU動作時負荷に該当するダミー負荷をつなげておき、パワーオンリセット解除時にははずすことが特開平8-30752号公報に開示されている。

【0006】

【発明が解決しようとする課題】前記特開平8-30752号公報に開示された発明は、ICカードから外部機器へ通信する手法として負荷の断続などによる動的インピーダンス変動を用いるRFID（このような手法はISO10536やISO14443で規定されている）に対応しにくいという問題点がある。通信用に用いる負荷分を前記ダミー負荷に上乗せすることで対応可能とはなるが、通信用負荷の設計変更やアンテナコイル設計変更に伴って該ダミー負荷も設計変更しなければならないという問題点がある。また、該ダミー負荷はCPUの個体差や通信用負荷の個体差やそれぞれのインピーダンスの温度変化の上限を包含する値に設定せざるを得ず、結果的に起動時の受信パワーとしては、本来動作し得る受信パワーに比べ大きなものが必要となるという問題点がある。また、回路が複雑化するので、コストが上がるという問題点もある。

【0007】上述の通り、ISO10536やISO14443で規定されている様な外部機器への通信方法として負荷の断続などによる動的インピーダンス変動を用いる方法がある。その方法を用いたRFIDに対して特開平10-207580号公報などで開示されているヒステリシスを持ったパワーオンリセット回路を用いた場合のリセット解除電圧は、動作保証電圧に通信用負荷の個体差（インピーダンスの温度変化を含む）の上限を包含する降下電圧をえた値に設定せざるを得ず、結果的

に起動電圧のマージンを狭めることとなるという問題点がある。また、通信用負荷の設計変更や、ICから外部に接続される伝送系を含んだインピーダンスの変更、例えばアンテナコイルの設計変更に伴ってリセット解除電圧の変更を余儀なくされるという問題点がある。また、回路が複雑になるという問題点がある。

【0008】ISO10536やISO14443で規定されている非接触ICカードではアンテナコイルで受信した交流波を整流、平滑化したものIC内部回路の電源

10 として供給する。また外部機器との通信はICの負荷を変動させることにより行う。そのため、ICの電源電圧の変動幅が大きい。ゆえに、電源電圧を常時監視し、その電圧がICの動作保証範囲内であるか否かを監視し、保証電圧内である場合にはICに加えられたリセット状態を解除してIC回路を動作させる。いままであげたものはリセット電圧を動作保証電圧に設定し、リセット解除電圧はそのリセット電圧に対してさらに動的負荷変動による電圧降下分を加算した電圧とする二段構成としている。いわゆるヒステリシスをもった回路構成である。これがICの動作マージンを小さくする原因となる。

【0009】以上の如く、これまでのICカード、RFIDにおいてはダミー負荷の設定やリセット解除電圧の設定に外部要因がからむことになり、汎用性に欠けるという問題点があるとともに、動作電圧範囲を最大限に確保することが困難であるという問題点がある。

【0010】

【課題を解決するための手段】上述のISO10536やISO14443で規定されている様な、外部機器への通信方法として負荷の断続などによる動的インピーダンス変動を用いるRFID内ICの通信制御回路がリセット状態の時には該ICが通信手段上の低インピーダンス状態にある回路構成とし、該RFIDと外部機器との結合度合いがリセット解除時と同等以上の場合はリセット解除後の通信手段としてのインピーダンス変化による電圧降下時に再リセットがかからない様にする。

【0011】なお、請求項ではICカードを対象としているが、ICカードに限らずRFIDであっても本発明は同様に適用可能である。また、本発明の実施例でのICカードはマイクロプロセッサを搭載したものを主体に記述しているが、それを搭載することなくロジック素子で構成したICカードも本発明の対象内である。また、非接触式で、かつ、アンテナを有するICカードが主体に開示されているが、接触式であっても、また非接触式でアンテナを有さないものに対しても本発明を適用することは可能である。

【0012】

【発明の実施の形態】以下、本発明の実施の形態を、図面を参照して説明する。

【0013】（実施例1）まず、RFIDの一形態である非接触ICカードの構成、回路動作について説明す

る。

【0014】図1は非接触ICカードの一般的構成を示すものであり、カード基材の表面層をはずした状態の部品実装平面図である。ICチップ2はアンテナコイル3と接続され、ICカード1に実装される。

【0015】図2は非接触ICカードの回路ブロックの一般的構成を示す図である。ここに示された構成を本発明に適用することも可能である。但し、パワーオンリセット回路7の内部構成は、本発明による場合と従来の手法による場合とでは異なるものとなる。

【0016】図2において、ICカード1内に装着されたアンテナコイル3を通じて外部機器から電力を得て、該外部機器と情報の授受を行う非接触結合での動作を述べる。

【0017】外部機器から該アンテナコイル3が受信した、所定の周波数の交流波は電力としてICチップ2内の整流平滑回路4により直流に変換され、過電圧保護のためのリミッタ回路5で上限規制される直流電圧で各回路に供給される。一方、該アンテナコイル3が受信した交流波は該直流電圧がパワーオンリセット回路7として設定された電圧以上にあることを検知している状態で通信制御部6内の各回路はリセットが解除され、能動状態となる。該アンテナコイル3が受信した該交流波はデータ復調およびクロック生成回路61によりクロック信号として生成され、情報処理回路8に供給される。また、該クロック信号を使って情報処理回路用リセット回路64から所定のタイミングで該情報処理回路8を能動状態とするリセット信号が該情報処理回路8に供給される。該外部機器からの情報は該交流波を位相変調することにより該ICカードへ1伝達され、該データ復調およびクロック生成回路61により位相変調された該交流波を復調することで情報として該情報処理回路8に供給される。該ICカード1から該外部機器への情報伝達の手段としてのキャリア信号は該クロック信号を所定の周波数に分周するキャリア発生回路62で生成される。該キャリア信号はデータ変調回路63により該情報処理回路8からのデータ信号で位相変調される。該データ変調回路63の出力でスイッチングされるFET9、FET10によって該アンテナコイル3端と回路グランド間に抵抗11、12が断続されることによって該ICチップ2としてのインピーダンス変化を生じさせる。すなわち、該データ信号で位相変調される該キャリア信号により該ICカード1としてのインピーダンスに動的変動を生じさせることとなる。該外部機器は該ICカード1の該キャリア信号によるインピーダンス変化を検出し、その位相変調を復調することで該ICカードからの情報信号として認識する。

【0018】次に、図3、図4および図5を用いて参考例のデータ変調回路64および周辺回路の動作を説明する。

【0019】図3は参考例としてのデータ変調回路64の詳細回路およびインピーダンス制御回路である。この例ではヒステリシスを持つパワーオンリセット回路を使用せざるを得ない。

【0020】直流電源電圧が所定のリセット解除電圧に達することによりフリップフロップ64aのR(リセット入力)端子に結合されたパワーオンリセット回路7からのパワーオンリセット信号がローレベルとなり該フリップフロップ64aは能動状態となる。

10 【0021】キャリア発生回路62も能動状態となり、キャリア信号を発生する。該キャリア信号は該フリップフロップ64aのCLK(クロック入力)端子とエクスクルーシブオア64bの一方の入力端子に結合される。該エクスクルーシブオア64bの他の入力端子は該フリップフロップ64aのQ(出力)端子と結合され、該エクスクルーシブオア64bの出力端子はスイッチ素子としてのFET9およびFET10のゲート端子に結合される。該フリップフロップ64aは該CLK端子入力がロウレベルからハイレベルに変化する時点のD(データ

20 入力)端子に結合された情報処理回路8からのデータ信号のレベル状態を該Q端子に出力する作用を行うため、該データ信号が変化するまで該Q端子はロウレベルを保持該エクスクルーシブオア64bの出力端子には該キャリア信号がそのまま伝送される。該データ信号がハイレベルとなっている状態に応じて該Q端子がハイレベルの間、該エクスクルーシブオア64bの出力端子には該キャリア信号が反転して出力される。結果的に該データ信号のレベルに応じてキャリア信号に同期して位相反転が行われるようデータ変調回路64は作用する。

30 【0022】該FET9およびFET10はゲート入力のレベルに応じてハイレベル時にオン、ローレベル時にオフのスイッチ動作を行うよう作用し、オン時にコイル3端に結合された抵抗11及び抵抗12を回路グランドと接続し、IC2としてのインピーダンスを低くする作用を行う。

【0023】これまでの説明の各部の動作を外部機器からの高周波交流電力供給開始後、直流電源電圧としてパワーオンリセット解除電圧を越える直近の高周波交流電力供給で推移した場合のタイムチャートを図4で示す。

40 【0024】本タイムチャートで明らかなように、従来はリセット解除後に通信手段としての負荷をコイル端に統断する構成となっており、パワーオンリセット回路としてはパワーオン時にリセットを解除する電圧レベルとリセット解除後の動作を保証するためのリセット電圧レベルとの切り替え機能を持つ、いわゆるヒステリシスを持たせることが必須条件となっている。

【0025】図5で図4における直流電源立ち上がり時のふるまいについて詳細に説明する。

【0026】図5において、パワーオンリセット回路によるリセット解除電圧の設定はロジック動作保証電圧

(回路動作開始後の回路リセット電圧)に通信用負荷抵抗による降下電圧分を加算した値以上に設定せざるを得ない。該降下電圧としては、該通信用負荷抵抗の製作プロセスによる誤差や温度による変動を包含し得る値に設定される。すなわち、事実上動作可能なのにかかわらず必須条件としてのパワーオンリセット回路によりICとしての動作範囲を狭めることとなる。

【0027】次に、図6、図7および図8を用いて本発明の実施例に係るデータ変調回路64および周辺回路の動作を説明する。

【0028】図6は本発明の実施例に係るデータ変調回路64の詳細回路およびインピーダンス制御回路を示す図である。

【0029】この回路構成により、パワーオンリセット回路は解除電圧と回路動作開始後のリセット電圧を等しくすることができる。すなわち、単純な回路形態となる。

【0030】直流電源電圧が所定のリセット解除電圧に達することによりフリップフロップ64aのR(リセット入力)端子に結合されたパワーオンリセット回路7からのパワーオンリセット信号がローレベルとなり該フリップフロップ64aは能動状態となる。

【0031】キャリア発生回路62も能動状態となり、キャリア信号を発生する。該キャリア信号は該フリップフロップ64aのCLK(クロック入力)端子とエクスクルーシブオア64bの一方の入力端子に結合される。該エクスクルーシブオア64bの他の入力端子は該フリップフロップ64aのQ(出力)端子からインバータ64cを介して結合され、該エクスクルーシブオア64bの出力端子はスイッチ素子としてのFET9およびFET10のゲート端子に結合される。該フリップフロップ64aは該CLK端子入力がロウレベルからハイレベルに変化する時点のD(データ入力)端子に結合された情報処理回路8からのデータ信号のレベル状態を該Q端子に出力する作用を行うため、該データ信号が変化するまで該インバータ64c出力端子はハイレベルを保ち該エクスクルーシブオア64bの出力端子には該キャリア信号が反転され伝送される。該データ信号がハイレベルとなっている状態に応じて該インバータ64c出力端子がロウレベルの間、該エクスクルーシブオア64bの出力端子には該キャリア信号がそのまま出力される。結果的に該データ信号のレベルに応じてキャリア信号に同期して位相反転が行われるようデータ変調回路64は作用する。

【0032】該FET9およびFET10はゲート入力のレベルに応じてハイレベル時にオン、ローレベル時にオフのスイッチ動作を行うよう作用し、オン時にコイル3端に結合された抵抗11及び抵抗12を回路グランドと接続し、IC2としてのインピーダンスを低くする作用を行う。

【0033】これまでの説明の各部の動作を図7のタイムチャートで示す。

【0034】本タイムチャートで明らかなように、本発明はリセット時に通信手段としての負荷をコイル端に接続する構成となっており、パワーオンリセット回路としてヒステリシスを持たせる必要がない。

【0035】図8は、図7に示したタイミングチャートにおける直流電源立ち上がり時のふるまいについて詳細に説明するための図である。

10 【0036】図8において、パワーオンリセット回路によるリセット解除電圧とロジック動作保証電圧(回路動作開始後の回路リセット電圧)とは実質的に同一のものであり、通信用負荷抵抗のプロセスによる誤差や温度による誤差や設計変更、また、アンテナコイルの設計変更や外部機器を含む伝送系インピーダンス変化の影響を実質的に受けない。すなわちICとしての動作可能電圧範囲を最大限に確保することができる。

【0037】(実施例2)図9は他の実施例に係るIC内の一
部の回路構成を示す図である。

20 【0038】図9において、FET9、10および抵抗11、12は前述(図3および図7に関する動作説明で説明済み)の動作を行う。スイッチ動作を行わせる信号源としてのIC2内通信制御部6内データ変調回路64の出力と該FET9、10のゲート入力の間にオア回路64dを設け、該オア回路64dの他の入力としてパワーオンリセット回路7からのパワーオンリセット信号を接続する。該データ変調回路出力レベルの如何にかかわらず該パワーオンリセット信号がハイレベル時には該オア回路64dの出力がハイレベルとなるよう形成することでリセット時に該抵抗11、12端が回路グランドと接続されIC2としてのインピーダンスを低くする作用を行う。すなわち、パワーオンリセット回路にヒステリシス特性を持たせる必要がなく、リセットレベルを回路動作保証電圧に設定することでICとしての動作可能電圧範囲を最大限確保することができる。

【0039】

【発明の効果】本発明の実施例によれば、ICに複雑なリセット回路を必要としない。また、リセット電圧レベル設定の必要条件はロジック動作保証最低電圧のみであり、外部機器を含む伝送系のインピーダンス変動などの影響を受けない。よって、従来よりも汎用性のあるRFIDを安価に提供できる。

【図面の簡単な説明】

【図1】ICカードの実装状態を例示した図。

【図2】ICカードの回路ブロックを例示した図。

【図3】参考例としてのIC内の変調回路部分の回路を示す図。

【図4】図3の回路構成の各部の動作タイミングチャート。

50 【図5】図4で示すタイミングチャートの内、直流電源

電圧の変動の様子を詳細説明するための図。

【図 6】本発明の他の実施例に係る IC 内の変調回路部分の回路を示す図。

【図 7】図 6 で示すタイミングチャートの内、直流電源電圧の変動の様子を詳細説明するための図。

【図 8】図 7 で示すタイミングチャートの内、直流電源電圧の変動の様子を詳細説明するための図。

【図 9】本発明の他の実施例に係る IC 内の変調回路部分の回路を示す図。

【符号の説明】

1 : IC カード 2 : IC 3 : アンテナコイル

4 : 整流平滑回路

5 : リミッタ回路 6 : 通信制御部 61 : データ復調
およびクロック生成回路

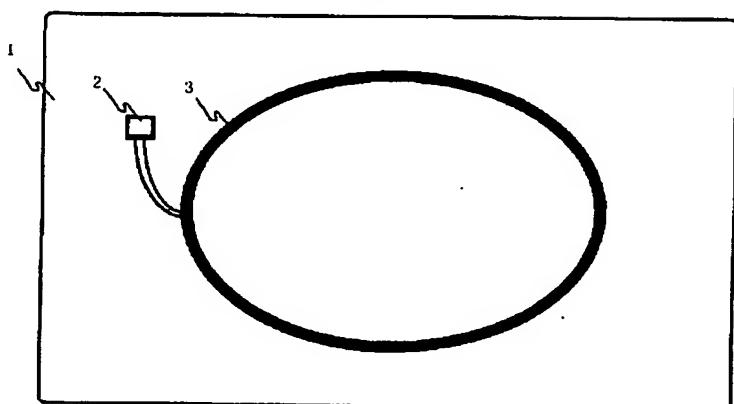
62 : キャリア発生回路 63 : 情報処理回路用リセッ
ト回路 64 : データ変調回路 64a : D タイプフリ
ップフロップ回路 64b : エクシクルーシブオア回路

64c : インバータ回路 64d : オア回路 7 : パ
ワーオンリセット回路 8 : 情報処理回路 9 : FET

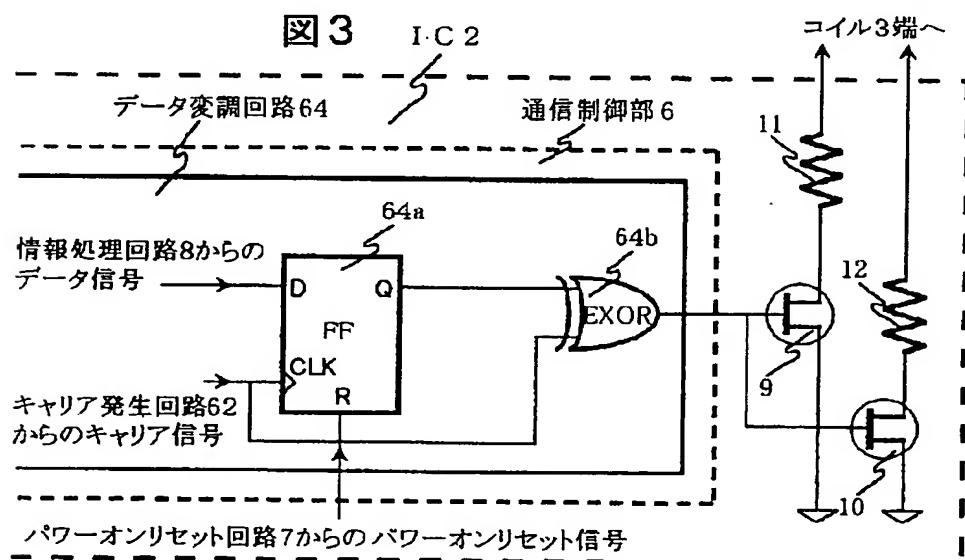
10 10 : FET 11 : 抵抗 12 : 抵抗。

【図 1】

図 1

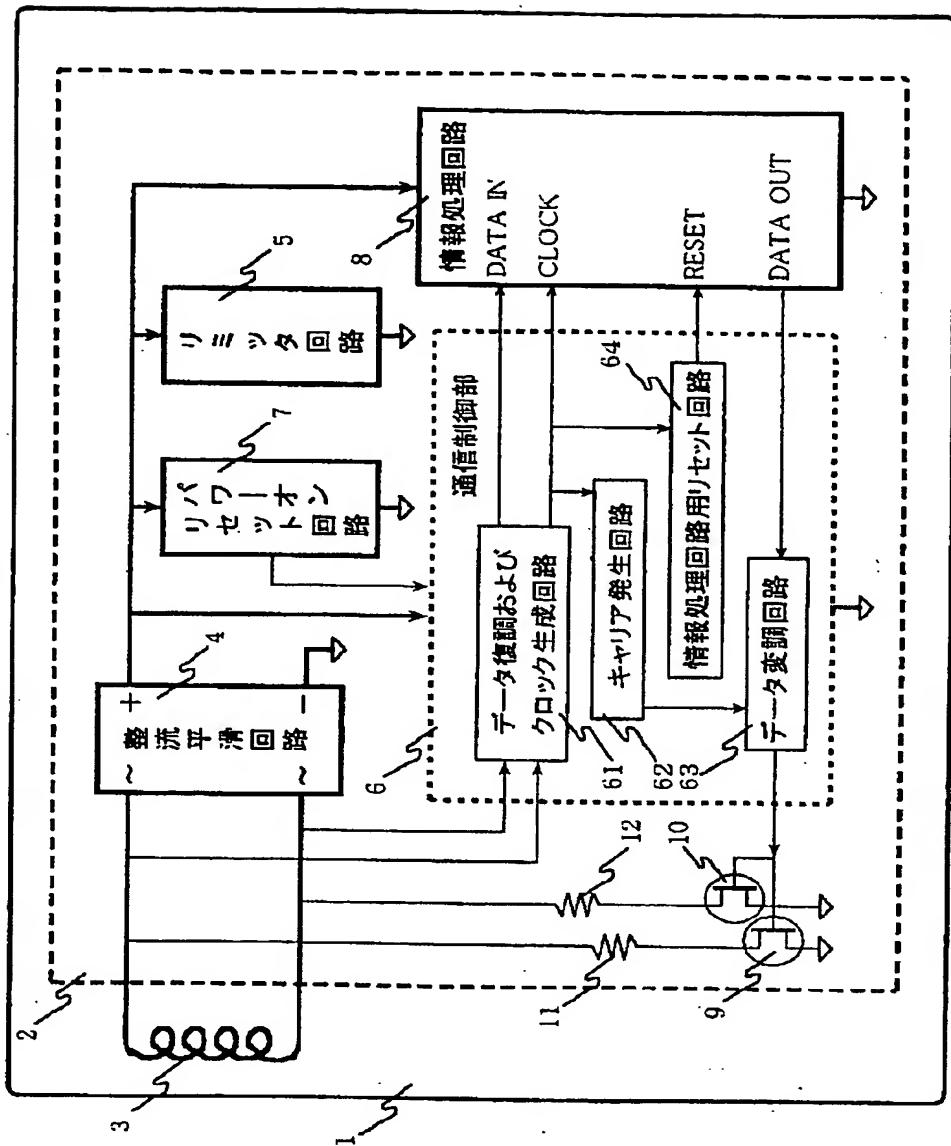


【図 3】



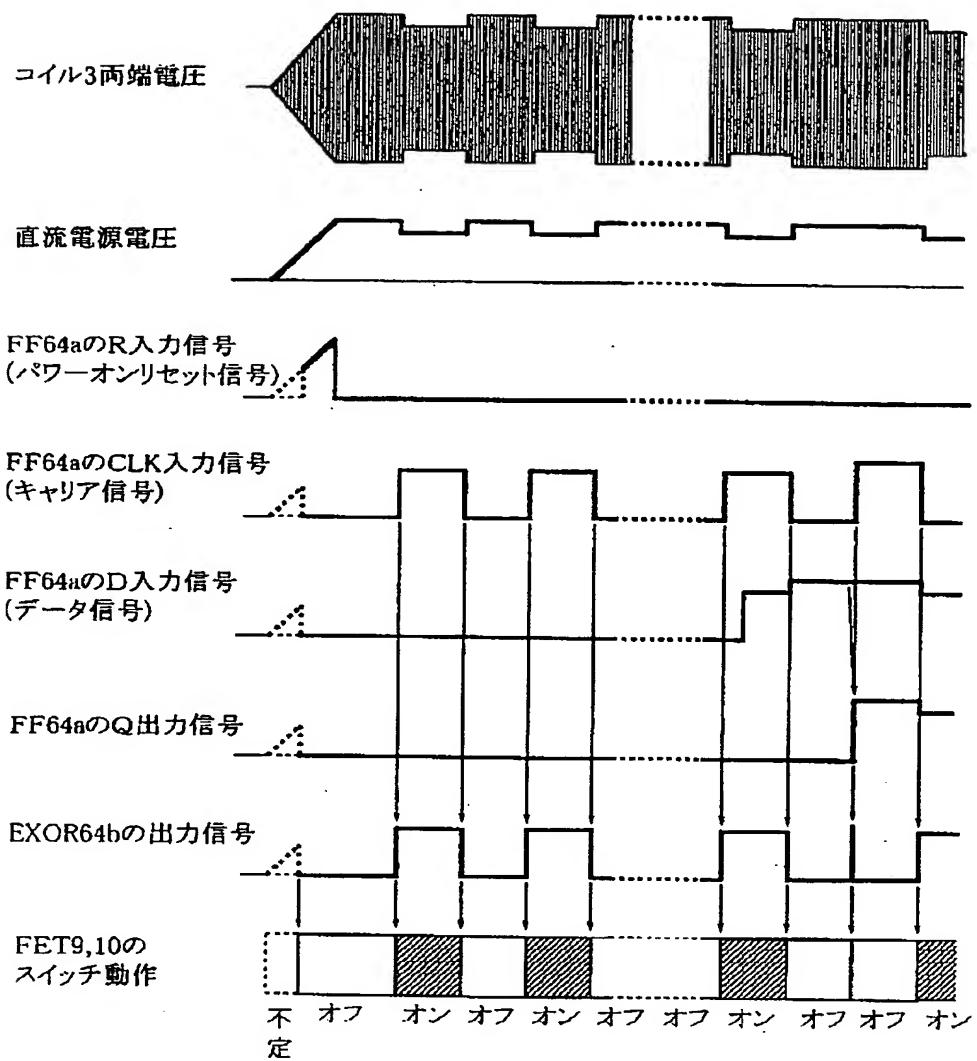
【図2】

図2



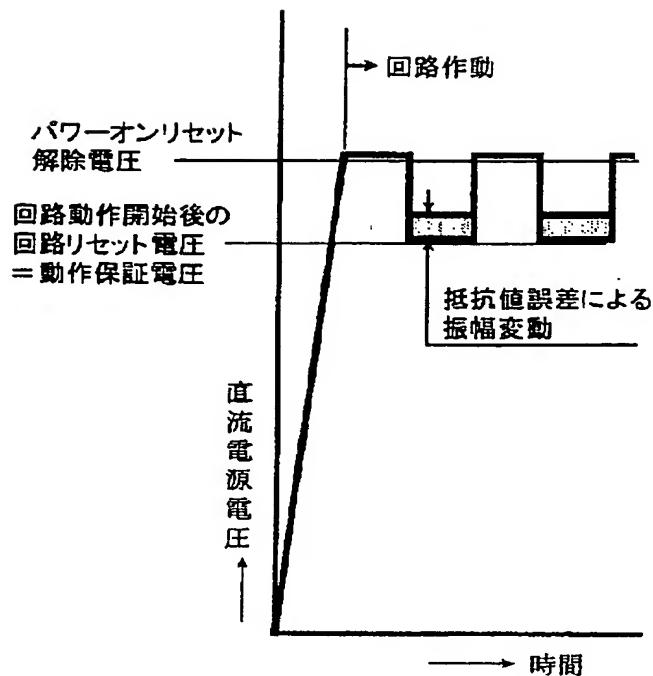
【图4】

4



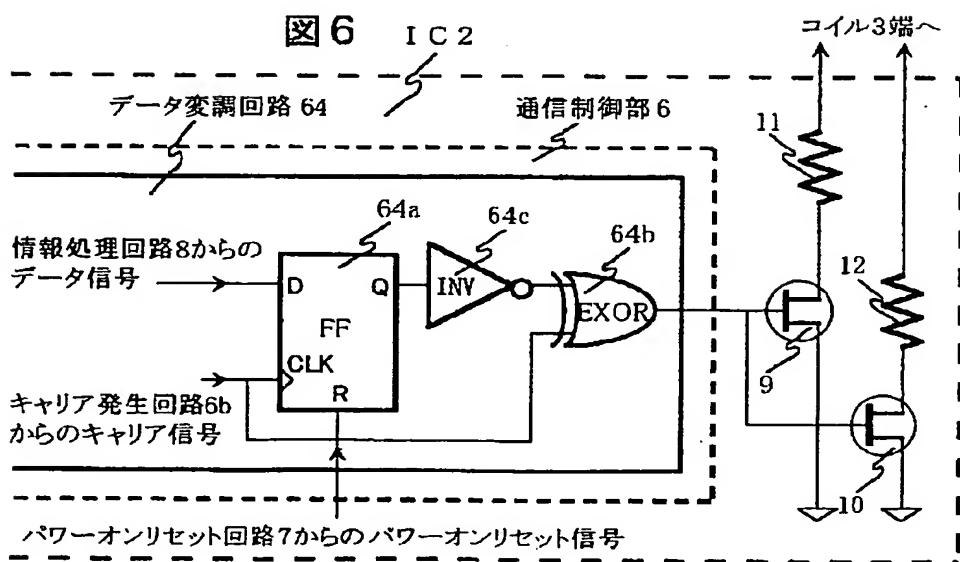
【図 5】

図 5



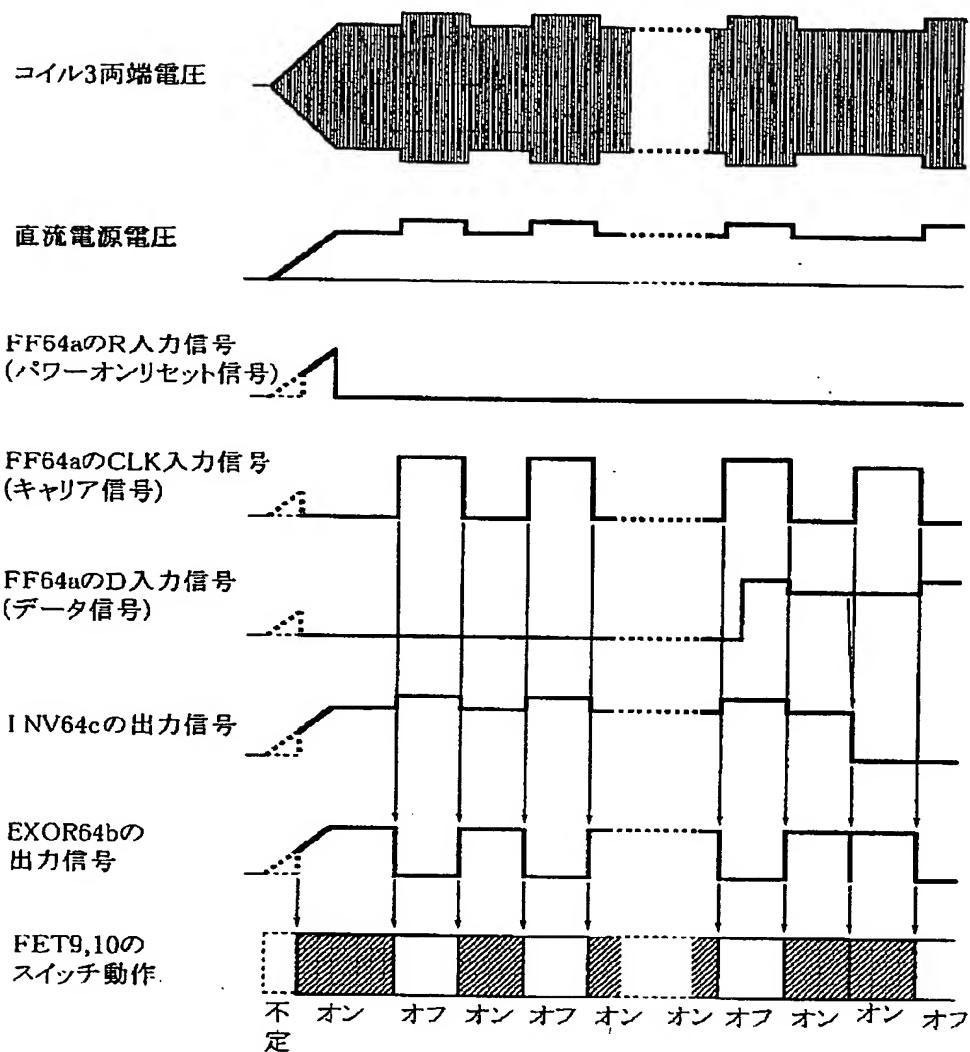
【図 6】

図 6



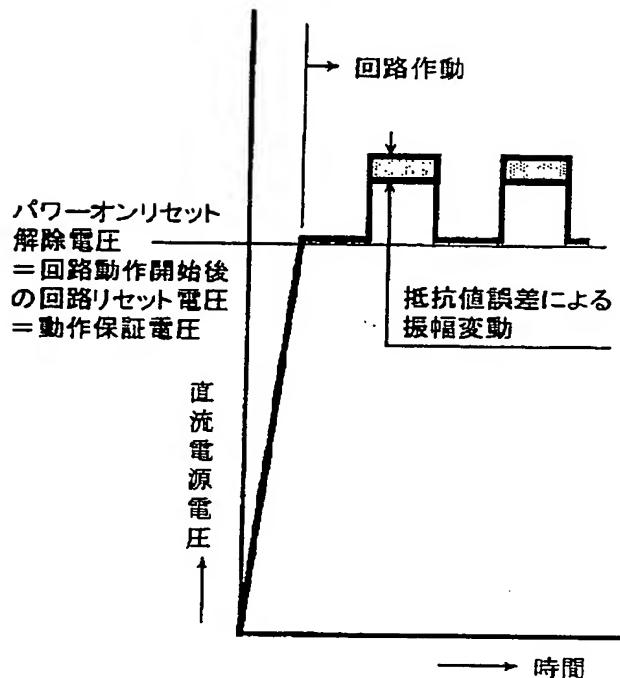
【図 7】

図 7



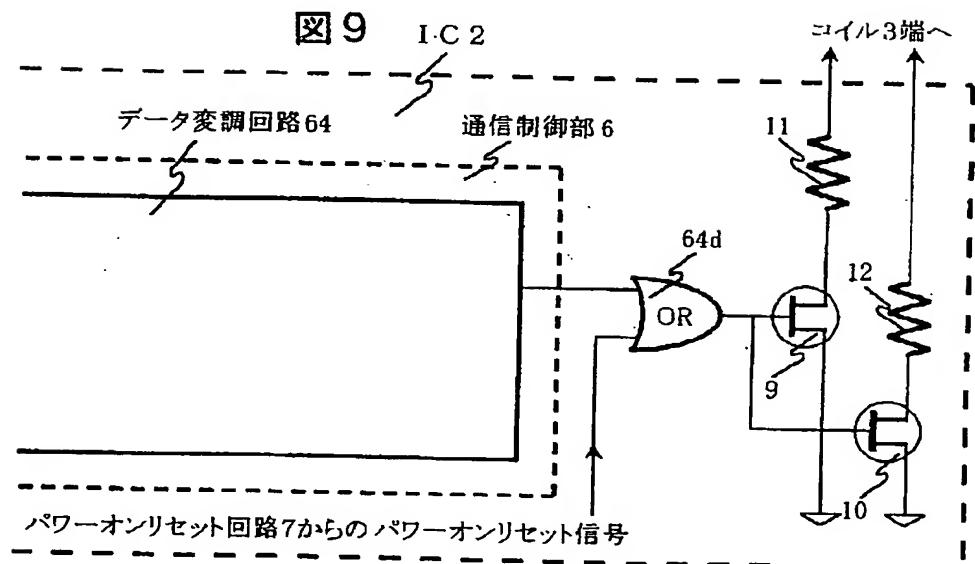
【図 8】

図 8



【図 9】

図 9



フロントページの続き

(72)発明者 吉木 宏

東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 大西 忠志

東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 渡邊 一希

東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

F ターム(参考) 2C005 MA40 NA02 NA06 NA08 QA15

5B035 BB09 BC00 CA12 CA23

5B054 BB01 BB02 BB11 CC01 CC10

DD11 EE02